

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-174114

(43) 公開日 平成11年(1999) 7月2日

(51) Int.Cl.⁶
G 0 1 R 31/26

識別記号

F I
C 0 1 R 31/26

C

審査請求 未請求 請求項の数 4 O L (全 8 頁)

(21) 出願番号 特願平9-340156

(22) 出願日 平成9年(1997)12月10日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 大 島 博

神奈川県川崎市幸区堀川町580番1号 株
式会社東芝半導体システム技術センター内

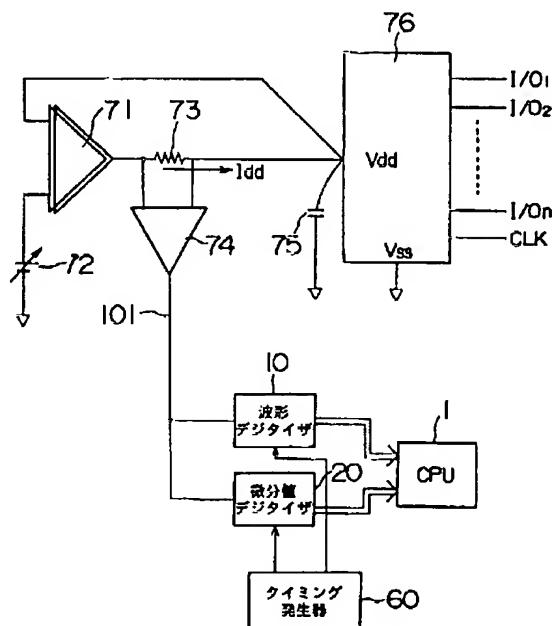
(74) 代理人 弁理士 佐藤 一雄 (外3名)

(54) 【発明の名称】 半導体装置の測定方法及び測定装置

(57) 【要約】

【課題】 定常状態における電流値を検出するまでに長い経過時間を必要とし、さらに定常状態における電流値が小さく測定精度が低いという問題があった。

【解決手段】 供試装置76で消費される電流を検出抵抗73により検出し、差動増幅器74により電流電圧信号に変換して出力し、この電圧信号を微分値デジタイザ20により第1の期間にわたって時間 t_0 (M) 毎に微分して微分値信号を出力し、また電圧信号を波形デジタイザ10により第2の期間にわたって時間 t_0 (N) 毎に積分して積分値信号を出力し、CPU1により微分値信号を加算して得られた微分合計値と、積分値信号を加算して得られた積分合計値とに基づいて供試装置76の良否を判定する。これにより、消費電流が定常状態に到達した時点での微小な電流値を測定して判定する場合よりも、早い時点での測定が可能であると共に高い測定精度が得られる。



BEST AVAILABLE COPY

【特許請求の範囲】

【請求項1】 供試装置で消費される電流を検出し、電圧信号に変換して出力する変換回路と、
前記変換回路から出力された前記電圧信号を第1の期間にわたって第1の所定時間毎に微分し、微分値信号を出力する微分値デジタイザと、
前記微分値デジタイザから出力された前記微分値信号を加算して得られた微分合計値に基づいて前記供試装置の良否を判定する演算装置と、
を備えることを特徴とする半導体測定装置。

【請求項2】 供試装置で消費される電流を検出し、電圧信号に変換して出力する変換回路と、
前記変換回路から出力された前記電圧信号を第1の期間にわたって第1の所定時間毎に微分し、微分値信号を出力する微分値デジタイザと、
前記変換回路から出力された前記電圧信号を第2の期間にわたって第2の所定時間毎に出力する波形デジタイザと、
前記微分値デジタイザから出力された前記微分値信号を加算して得られた微分合計値と、前記波形デジタイザから出力された前記電圧信号を加算して得られた積分値とに基づいて前記供試装置の良否を判定する演算装置と、
を備えることを特徴とする半導体測定装置。

【請求項3】 前記微分値デジタイザは、前記電圧信号を与えられて前記第1の時間毎に微分値を検出する微分値検出手段と、
前記微分値検出手段により検出された前記微分値のレベルを調整して増幅し出力する第1のレベル調整増幅器と、
前記第1のレベル調整増幅器から順次出力された前記微分値に対して前記第1の期間にわたってアナログ／デジタル変換を行って前記微分値信号を出力する第1のアナログ／デジタル変換器と、
前記第1のアナログ／デジタル変換器から出力された前記微分値信号を与えられて格納し、前記演算手段に出力する第1のメモリとを有し、
前記波形デジタイザは、
前記電圧信号を入力され、レベルを調整して増幅し出力する第2のレベル調整増幅器と、
前記第2のレベル調整増幅器からの出力を与えられ、前記第2の期間にわたって前記第2の時間毎にアナログ／デジタル変換を行って前記積分値信号を出力する第2のアナログ／デジタル変換器と、
前記第2のアナログ／デジタル変換器から出力された前記積分値信号を与えられて格納し、前記演算手段に出力する第2のメモリとを有することを特徴とする請求項2記載の半導体測定装置。

【請求項4】 供試装置で消費される電流を検出して電圧信号に変換し、
微分値デジタイザを用いて前記電圧信号を第1の期間に

わたって第1の所定時間毎に微分して微分値信号を生成し、
波形デジタイザを用いて前記電圧信号を第2の期間にわたって第2の所定時間毎に生成し、
演算装置を用いて前記微分値信号を加算して微分合計値を生成し、前記電圧信号を加算して積分値を生成し、この微分合計値と積分値とに基づいて前記供試装置の良否を判定することを特徴とする半導体装置の測定方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、半導体装置の良否を判断する測定方法及び装置に関し、特にCMOS論理回路の測定、評価に好適なものにする。

【0002】

【従来の技術】 CMOS論理回路等の半導体装置の良否を判定する手法には、定常状態における電源電流を測定し、リーク電流の大小から故障の有無を検出するIDDq試験(IDD Quiscent Power Supply Current Test)が存在する。図7に、試験の対象となる供試装置76と、この装置76にIDDq試験を行う従来の半導体測定装置の構成を示す。

【0003】 供試装置76は、電源端子Vdd、接地端子Vss、クロック端子CLK、及び入出力端子I/O1～I/Onを有する。電源端子Vddには電源電圧Vddが供給され、接地端子Vssは接地され、クロック端子CLKにクロックCLKを入力されて動作状態になり、入出力端子I/O1～I/Onより信号が入出力される。

【0004】 ここで、供試装置76の電源端子Vddには、可変電圧源72から電圧を供給された電源71が一定の電源電圧Vddを発生して供給される。電源端子Vddに入力される消費電流Iddは、以下のようにして検出される。電流Iddは、電源71の出力端子と供試装置76の電源端子Vddとの間に両端が接続された検出抵抗73を流れる。この検出抵抗73の両端に二入力端子が接続された差動増幅器74によって、電流Iddが電圧に変換されて電圧信号101として出力される。この変換された電圧信号101は、比較器82に入力されて基準電圧81と比較され、比較結果が良否判定信号102としてフリップフロップ83に入力される。このフリップフロップ83に入力された良否判定信号102は、フリップフロップ83に判定トリガ信号103が入力されると、外部に出力される。

【0005】 図8に示されたように、供試装置76は通常動作モードにおいて、クロックCLKに基づいて入出力端子I/O1～I/Onから信号を入出力する。

【0006】 試験を行う場合は、供試装置76がホールドモードに移行する。ホールドモード開始時には、消費電流Iddが最大となる動作状態を実現する上で必要な入出力信号I/O1～I/Onの入出力が行われる。これにより、図8に示されるように電流Iddがピークまで上

昇する。ここで、図8における電流 I_{dd} の波形は、図7の回路における差動増幅器101から出力された電圧信号101により検出される。

【0007】この後、電流 I_{dd} が低下していく。この電流 I_{dd} が時間の経過と共に変化し定常状態に近付いていく様子を、図9に拡大して示す。供試装置76の特性の相違により、電流 I_{dd} の波形は波形L1～L3のように定常状態に到達した時点 t_1 以降の電流値が異なっている。供試装置76が良品である場合は、波形L1のように時点 t_1 以降の I_{dd} 電流の値が小さくなり、不良品である場合は波形L3のように大きい値をとる。また、波形L2は良品と不良品との境界線を示すものとする。

【0008】ここで、試験条件として、供試装置76の電源端子V_{dd}に与える電圧値は可変電圧72の電圧値を変えることによって設定を変えることができ、また時点 t_1 における I_{dd} 電流の大小に基づく良否判断の基準は、比較器82に与える基準電圧81の値を調整することにより変えることができる。

【0009】

【発明が解決しようとする課題】しかし、従来の測定方法及び測定装置には次のような問題があった。

(1) 電流 I_{dd} の特性を検出するためには、電源71から供試装置76の電源端子V_{dd}までの伝送路特性が影響するため、図9に示されたようにホールドモード開始時から電流 I_{dd} が定常状態に到達する時点 t_1 までの時間が、例えば10～100msecというように長い。このため、多くの供試装置76を測定する際には長い測定時間を必要とし、測定効率が低かった。

【0010】(2) また、図9に示されたように、電流 I_{dd} はホールドモード開始時点から瞬間的にピークに到達するが、定常状態に達する時点 t_1 における電流は、良品と不良品とが含まれる波形L1～L3のいずれにおいても極めて小さい値となる。よって、良否を判断する上で十分な分解能が得られず、測定精度が低い上に再現性にも欠けるという問題があった。

【0011】本発明は上記事情に鑑み、測定時間の短縮及び測定精度の向上が可能な半導体測定方法及び測定装置を提供することを目的とする。

【0012】

【課題を解決するための手段】本発明の半導体測定装置は、供試装置で消費される電流を検出し、電圧信号に変換して出力する変換回路と、前記変換回路から出力された前記電圧信号を第1の期間にわたって第1の所定時間毎に微分し、微分値信号を出力する微分値デジタイザと、前記微分値デジタイザから出力された前記微分値信号を加算して得られた微分合計値に基づいて前記供試装置の良否を判定する演算装置とを備えることを特徴としている。

【0013】また、本発明の半導体測定装置は、さらに前記変換回路から出力された前記電圧信号を第2の期間

にわたって第2の所定時間毎に出力する波形デジタイザを備え、演算装置は前記微分値デジタイザから出力された前記微分値信号を加算して得られた微分合計値と前記波形デジタイザから出力された前記電圧信号を加算して得られた積分値とに基づいて前記供試装置の良否を判定することを特徴とする。

【0014】ここで、前記微分値デジタイザは、前記電圧信号を与えられて前記第1の期間毎に微分値を検出する微分値検出手段と、前記微分値検出手段により検出された前記微分値のレベルを調整して増幅し出力する第1のレベル調整増幅器と、前記第1のレベル調整増幅器から順次出力された前記微分値に対して前記第1の期間にわたってアナログ／デジタル変換を行って前記微分値信号を出力する第1のアナログ／デジタル変換器と、前記第1のアナログ／デジタル変換器から出力された前記微分値信号を与えられて格納し、前記演算手段に出力する第1のメモリとを有し、前記波形デジタイザは、前記電圧信号を入力され、レベルを調整して増幅し出力する第2のレベル調整増幅器と、前記第2のレベル調整増幅器からの出力を与えられ、前記第2の期間にわたって前記第2の時間毎にアナログ／デジタル変換を行って前記積分値信号を出力する第2のアナログ／デジタル変換器と、前記第2のアナログ／デジタル変換器から出力された前記積分値信号を与えられて格納し、前記演算手段に出力する第2のメモリとを有するものであってもよい。

【0015】本発明の半導体装置の測定方法は、供試装置で消費される電流を検出して電圧信号に変換し、微分値デジタイザを用いて前記電圧信号を第1の期間にわたって第1の所定時間毎に微分して微分値信号を生成し、波形デジタイザを用いて前記電圧信号を第2の期間にわたって第2の所定時間毎に電圧信号を生成し、演算装置を用いて前記微分値信号を加算して微分合計値を生成し、前記電圧信号を加算して積分値を生成し、この微分合計値と積分値とに基づいて前記供試装置の良否を判定することを特徴としている。

【0016】

【発明の実施の形態】以下、本発明の一実施の形態による半導体装置の測定方法及びその装置について、図面を参照して説明する。

【0017】図1に、本発明の第1の実施の形態による半導体測定装置の構成を示す。図7に示された従来の測定装置と比較し、本実施の形態による測定装置は、差動増幅器74の出力端子に接続された構成が相違する。即ち、この測定装置は差動増幅器74から出力された電圧信号を解析する波形デジタイザ10及び微分値デジタイザ20と、波形デジタイザ10及び微分値デジタイザ20が動作するタイミングを決定するタイミング発生器60と、波形デジタイザ10及び微分値デジタイザ20の出力を用いて供試装置76の良否を判断するCPU(Ce

ntal Processing Unit) 1とを備えている。他の従来の測定装置と同一の要素には、同一の番号を付して説明を省略する。

【0018】上述したように、供試装置76が通常動作モードからテスト時にはホールドモードに切り換わる。供試装置76の電源端子Vddには電源71から電源電圧Vddが供給されている。電源端子Vddに供給される電流Iddは、検出抵抗73及び差動増幅器74によって電圧信号101に変換された後、波形デジタイザ10と微分値デジタイザ20とに入力される。

【0019】タイミング発生器60は、波形デジタイザ10及び微分値デジタイザ20が電圧信号101を用いて積分値及び微分値の検出を行う期間を指定するタイミング信号をそれぞれ生成して与える。波形デジタイザ10は、タイミング発生器60により指定された期間、一定時間 t_0 (N)の間隔で電圧信号101が示す電流Idd波形のそれぞれの電流値 $Dt(0)$ 、 $Dt(1)$ 、…、 $Dt(i)$ 、…、 $Dt(n)$ (nは2以上の整数、iはn以下の整数)を取り込んで、内部のメモリに記憶し、CPU1に出力する。微分値デジタイザ20は、タイミング発生器60により指定された期間、電流Idd波形の一定時間 t_0 (M)毎の微分値 $\Delta t(0)$ 、 $\Delta t(1)$ 、…、 $\Delta t(i)$ 、…、 $\Delta t(n)$ を求めて内部のメモリに記憶し、CPU1に出力する。

【0020】CPU1は、波形デジタイザ10から与えられた電流値 $Dt(0)$ 、 $Dt(1)$ 、…、 $Dt(i)$ 、…、 $Dt(n)$ を全て加算して所定の期間にわたる積分値を求める。さらに、微分値デジタイザ20から出力された微分値を全て加算し、所定期間にわたる微分値の合計値を求める。そして、この積分値 $Dt(0) + Dt(1) + \dots + Dt(i) + \dots + Dt(n)$ と、微分合計値 $\Delta t(0) + \Delta t(1) + \dots + \Delta t(i) + \dots + \Delta t(n)$ とを用いて、供試装置76の良否の判定を行う。

【0021】ここで、良否判定を行うための積分値及び微分合計値のそれぞれの基準値は、予め良品の供試装置の出力電流を測定するか、あるいは供試装置の替わりに精密抵抗を実装した校正用ボードからの出力電流を測定することにより得ることができる。

【0022】図2にタイミング発生器60の具体的な構成を示し、図3に波形デジタイザ10と微分値デジタイザ20の構成を示す。タイミング発生器60は、マスタクロック発生器67、開始停止指令部61、1/N分周器62、波形デジタイザタイミング発生器63、開始停止指令部64、1/M分周器65、微分値デジタイザタイミング発生器66を備えている。

【0023】マスタクロック発生器67は、開始停止指令部61及び64、1/N分周器62及び1/M分周器65、波形デジタイザタイミング発生器63及び微分値デジタイザタイミング発生器66を動作させるために必

要なマスタクロック $X_{\text{t a l}}$ を生成して与える。開始停止指令部61及び64は、図示されていないクロック発生器からクロックCLKを与えられる。このクロックCLKは、図4(a)に示されたように、通常動作モードにおける入出力データ $I/O1 \sim I/O_n$ のサイクルに対応している。1/N分周器62は、図4(a)に示されたように、マスタクロック $X_{\text{t a l}}$ を1/Nに分周して波形デジタイザタイミング発生器63に与える。この1/Nクロックのパルス間隔 t_0 (N)は、波形デジタイザタイミング発生器63が電流Iddの波形をデジタイズして取り込むときの時間間隔に対応している。1/M分周器65は、図4(c)に示されたように、マスタクロック $X_{\text{t a l}}$ を1/Mに分周して微分値デジタイザタイミング発生器66に与える。この1/Mクロックのパルス間隔 t_0 (M)は、微分値デジタイザタイミング発生器66が電流Iddの波形をデジタイズして取り込むときの時間間隔に対応している。

【0024】開始停止指令部61は、波形デジタイザタイミング発生器63が積分動作を開始するタイミングと停止するタイミングとを指令する信号201を生成して波形デジタイザタイミング発生器63に出力する。開始停止指令部64は、微分値デジタイザタイミング発生器66が微分動作を開始し停止するタイミングを指令する信号202を生成して波形デジタイザタイミング発生器63に出力する。波形デジタイザタイミング発生器63は制御信号A及びBを生成して波形デジタイザ10に出力し、微分値デジタイザタイミング発生器66は制御信号C～Gを生成して微分値デジタイザ20に出力する。

【0025】波形デジタイザ10は、レベル調整用増幅器11、アナログ/ディジタル変換器(以下、A/D変換器という)12、メモリ13を備えている。レベル調整用増幅器11は、差動増幅器74から出力された電圧信号101を入力され、所定のレベルに調整して増幅した後A/D変換器12に出力する。A/D変換器12は、上記タイミング発生器60の波形デジタイザタイミング発生器63が出力した制御信号Aに基づいて、レベル調整用増幅器11から出力されたアナログレベルの電圧信号をディジタル信号に変換して出力する。このA/D変換動作は、図4(a)に示されたように、開始停止指令部61から出力された開始停止指令信号201が論理「1」である時点 t_{11} から時点 t_{12} までの期間行われる。このA/D変換により、図4(a)に示されたように、電流Idd波形を示すレベル調整用増幅器11の出力電圧に対し、1/Nクロックの周期 t_0 (N)で電流値 $Dt(0)$ 、 $Dt(1)$ 、…、 $Dt(i)$ 、…、 $Dt(n)$ を取り込む。

【0026】電流値 $Dt(0) \sim Dt(n)$ は、メモリ13に与えられて格納され、CPU1に与えられる。CPU1は、図4(b)に示されたように、ディジタル値としての電流値 $Dt(0) \sim Dt(n)$ を全て加算し、

積分値 $Dt(0) + Dt(1) + \dots + Dt(n)$ を求める。これにより、図4(b)におけるハッチングが施された面積が求まる。CPU1において、求めた面積値と、予め定めた良否の判断基準となる基準値とを比較し、求めた面積値が基準値よりも小さい場合は良品であり、基準値以上である場合は不良と判断する。

【0027】微分値デジタイザ20は、バッファ21及び22、容量23、スイッチング素子24、遅延素子25、レベル調整用増幅器26、A/D変換器27、さらに、バッファ31及び32、容量33、スイッチング素子34、遅延素子35、レベル調整用増幅器36、A/D変換器37、インバータ41、ゲート素子29、メモリ42を備える。微分動作のタイミングの調整は、次のようにして行われる。微分値デジタイザタイミング発生器66が発生した制御信号Gが遅延素子35により所定時間遅延された後、スイッチング素子34の制御端子に入力されて、開閉が制御される。また、制御信号Gがインバータ41を介して論理が反転された後、遅延素子25により所定時間遅延された後、スイッチング素子24の制御端子に入力されて、スイッチング素子34とは逆相で開閉が制御される。

【0028】差動増幅器74から出力された電圧信号101が、インバータ21とインバータ31とに入力される。インバータ21の出力端子とインバータ22の入力端子とを接続する信号線は容量23とスイッチング素子24を介して接地され、インバータ31の出力端子とインバータ32の入力端子とを接続する信号線は容量33とスイッチング素子34を介して接地されている。スイッチング素子24とスイッチング素子34とが逆相で開閉することで、インバータ21及び22と容量23とで構成される微分値検出部と、インバータ31及び32と容量33とで構成される微分値検出部とにより、 $1/M$ クロックの周期 $t_0(M)$ 毎に交互に電圧信号101が示す電流 I_{dd} 波形の微分値が検出される。

【0029】例えば、偶数番目の微分値 $\Delta t(0)$ 、 $\Delta t(2)$ 、 $\Delta t(4)$ 、…がインバータ22から出力されるとすると、レベル調整器26で電圧レベルが調整され増幅された後、このアナログレベルが、制御信号53により制御されるA/D変換器27によってデジタル値に変換される。奇数番目の微分値 $\Delta t(1)$ 、 $\Delta t(3)$ 、 $\Delta t(5)$ 、…がインバータ32から出力されるとすると、レベル調整器36で電圧レベルが調整され増幅された後、このアナログレベルが制御信号54により制御されるA/D変換器37によってデジタル値に変換される。

【0030】ゲート素子29は制御信号Eに基づいて、A/D変換器27から出力された微分値とA/D変換器37から出力された微分値とを交互にメモリ42に転送し、記憶させる。メモリ42は、制御信号Fに基づいて書き込み又は読み出しを行う。この微分値 $\Delta t(0) \sim$

$\Delta t(n)$ は、図4(d)に示されたように、電流 I_{dd} 波形の $1/M$ クロック毎 ($t_0(M)$ 周期) の傾きを表している。

【0031】CPU1は、メモリ42から読み出された微分値 $\Delta t(0) \sim \Delta t(n)$ を取り込んで、次のような処理を行う。図5(a)に示されたように、電流 I_{dd} 特性が波形L11~L13のように表されたとし、このうち波形L11が良品を示し、波形L13が不良品を示し、波形L12が良否の境界線を示すものとする。この場合の微分値 $\Delta t(i)$ (i は n 以下の整数) は、図5(b)における波形L21~L23のように表される。微分値 $\Delta t(i)$ の波形L21は図5(a)における電流 I_{dd} 波形の波形L11、微分値 $\Delta t(i)$ の波形L12は電流 I_{dd} 波形の波形L22、微分値 $\Delta t(i)$ の波形L13は電流 I_{dd} 波形の波形L23に対応している。図5(a)に示されたように、良品の波形L11は不良品の波形L13と比較して傾きが大きいので、微分値 $\Delta t(i)$ の値が大きくなる。よって、微分値の合計値 $\Delta t(0) + \Delta t(1) + \dots + \Delta t(n)$ を用いて良否の判定をすることができる。

【0032】以上説明したように、本実施の形態によれば、電流 I_{dd} 波形の積分値 $Dt(0) + Dt(1) + \dots + Dt(n)$ を求めて基準値と比較することによって良否を判断する。従来の測定装置では、上述したように電流 I_{dd} 波形が定常状態に到達するまで良否の判断が不能であった。これに対し、本実施の形態では定常状態に到達する以前のデータを合計した積分値により良否を判断することができるので、定常状態に達するまで判断を待つ必要がなく、測定時間が短縮される。また、従来のように定常状態に到達した時点での電流 I_{dd} の値のみで良否を判断すると、電流値自体が微小であるため分解能が低く測定精度が低いのが、本実施の形態では定常状態に到達する以前の段階における比較的大きい値を合計した積分値を用いるので、分解能が高く測定精度が向上する。ここで、分解能は $1/N$ クロックの時間間隔 $t_0(N)$ を変えることによって所望のレベルに設定することができる。

【0033】さらに、本実施の形態では微分値 $\Delta t(0)$ 、…、 $\Delta t(n)$ を求め、その合計値から良否の判断を行う。この微分値 Δt の検出は、図4(b)にも示されたように、積分値 Dt を求める場合よりもさらに短時間で行うことができ、測定時間の短縮に寄与する。また、図3に示されたように、微分値デジタイザ20は検出した微分値をレベル調整増幅器26及び36で増幅した後A/D変換を行うので積分値を用いた場合よりも高い感度が得られ、測定精度を向上させることができる。

【0034】上記第1の実施の形態では、積分値と微分合計値とを共に求めて良否の判断を行っているが、必ずしも両者を求める必要はない。図6に示されたように、

差動増幅器74の出力端子に波形デジタイザ10を接続せずに、微分値デジタイザ20を接続して微分値 Δt (i)のみを求め、CPU1において良否を判断してもよい。

【0035】上述実施の形態は一例であり、本発明を限定するものではない。例えば、図2及び図3に示された波形デジタイザ及び微分値デジタイザの具体的な回路構成は一例であり、それぞれ電流 I_{dd} の波形の積分値と微分値を求めるものであれば様々な変形が可能である。

【0036】

【発明の効果】以上説明したように、本発明の半導体装置の測定方法及び測定装置によれば、供試装置に供給される電流波形の一定期間における微分値、あるいは微分値及び積分値を用いて良否を判断するため、従来のように電流波形が定常状態に到達した時点における電流値を用いて判断した場合と比較し、定常状態に到達する前の値を用いて判定が可能であるため試験時間が短縮され、さらに定常状態に到達した時点の電流値よりも分解能が高いので、測定精度が向上する。

【図面の簡単な説明】

【図1】本発明の第1の実施の形態による半導体装置の測定装置の構成を示したブロック図。

【図2】同測定装置におけるタイミング発生器の構成を示したブロック図。

【図3】同測定装置における波形デジタイザ及び微分値デジタイザの構成を示した回路図。

【図4】同測定装置における入出力信号、電流、クロック、及び制御信号の波形を示したタイムチャート。

【図5】同測定装置における電流波形及びその微分値を示したグラフ。

【図6】本発明の第2の実施の形態による半導体装置の測定装置の構成を示したブロック図。

【図7】従来の半導体装置の測定装置の構成を示したブロック図。

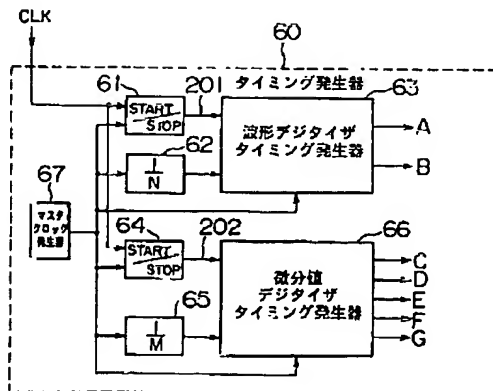
【図8】同測定装置における入出力信号、電流、クロック、及び制御信号の波形を示したタイムチャート。

【図9】同測定装置における電流波形を示したグラフ。

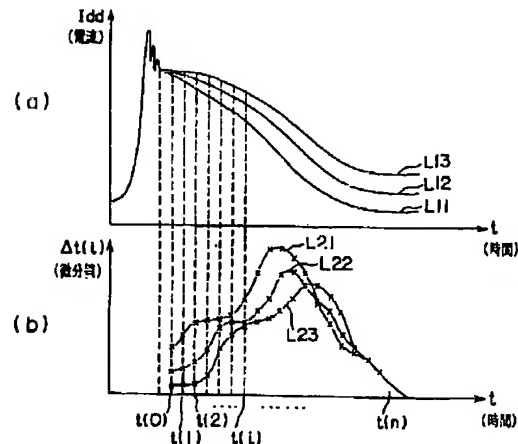
【符号の説明】

- 1 CPU
- 10 波形デジタイザ
- 11、26、36 レベル調整用増幅器
- 12、27、37 A/D変換器
- 13、42 メモリ
- 20 微分値デジタイザ
- 21、22、31、32 バッファ
- 23、33、75 容量
- 24、34 スイッチング素子
- 25、35 遅延素子
- 29 ゲート素子
- 41 インバータ
- 60 タイミング発生器
- 61、64 開始停止指令部
- 62 1/N分周器
- 63 波形デジタイザタイミング発生器
- 65 1/M分周器
- 66 微分値デジタイザタイミング発生器
- 67 マスタクロック発生器
- 71 電源
- 72 可変電圧
- 73 検出抵抗
- 74 差動増幅器
- 75 容量
- 76 供試装置
- 101 電圧信号

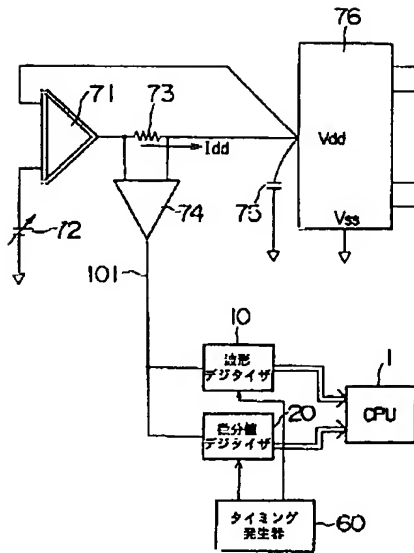
【図2】



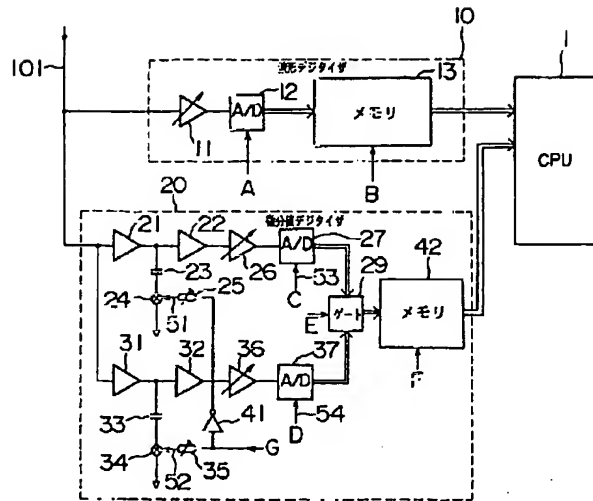
【図5】



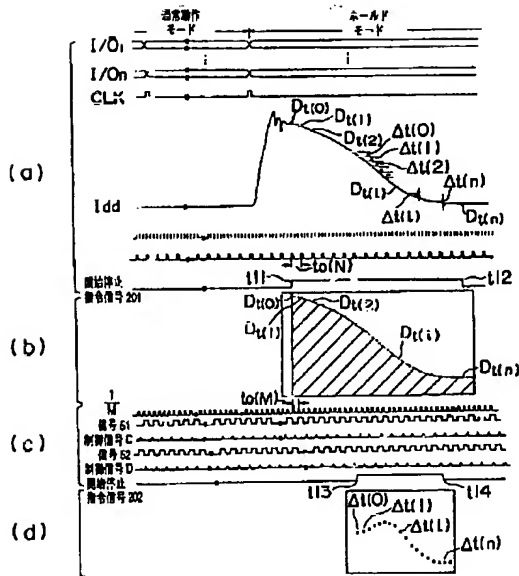
【図1】



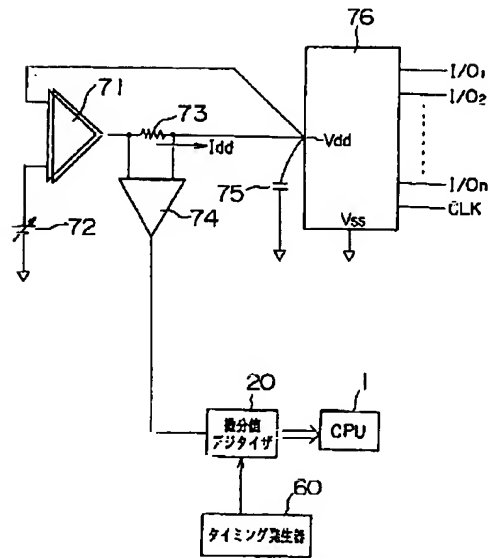
【図3】



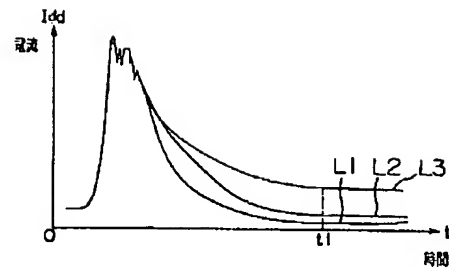
【図4】



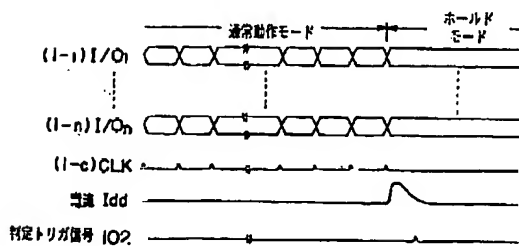
【図6】



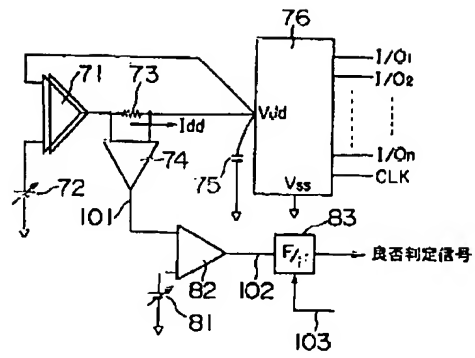
【図9】



【図8】



【図7】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record.**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

☐ **BLACK BORDERS**

☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**

☐ **FADED TEXT OR DRAWING**

☒ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**

☐ **SKEWED/SLANTED IMAGES**

☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**

☐ **GRAY SCALE DOCUMENTS**

☐ **LINES OR MARKS ON ORIGINAL DOCUMENT**

☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**

☐ **OTHER:** _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.